

## ⑫ 特 許 公 報 (B 2)

昭63-2384

⑬ Int. Cl.<sup>4</sup>

H 04 L 1/22  
H 04 J 3/00  
H 04 L 5/22  
H 04 Q 9/00

識別記号

庁内整理番号

8732-5K  
6914-5K  
6914-5K  
7326-5K

⑭公告 昭和63年(1988)1月19日

発明の数 1 (全4頁)

⑮発明の名称 二重系リフレッシュ出力装置

⑯特 願 昭56-107663

⑰公 開 昭58-9450

⑱出 願 昭56(1981)7月10日

⑲昭58(1983)1月19日

⑳発 明 者 平 松 八 樹 神奈川県横浜市金沢区富岡町139番地 富岡シーサイドコーポD-104  
㉑発 明 者 大 野 陽 治 神奈川県横浜市戸塚区和泉町4257-9  
㉒出 願 人 株式会社京三製作所 神奈川県横浜市鶴見区平安町2丁目29番地の1  
㉓出 願 人 財団法人鉄道総合技術研究所 東京都国分寺市光町二丁目8番地38  
㉔代 理 人 弁理士 山川 政 樹 外1名  
審 査 官 平 野 雅 典

1

2

## ㉕特許請求の範囲

1 サイクリックな時分割情報をフレーム毎に交互かつ反復して反転のうえ非反転フレームおよび反転フレームとして伝送する信号を受信し、前記情報に応じた出力を送出する出力装置において、前記非反転フレームおよび反転フレーム中いずれか一方の前記情報が論理値“1”のときに論理値“1”と“0”とを交互に反復する配列のコードを生じかつ前記情報が論理値“0”のときには連続した一定論理値のコードを生ずる第1のコード変換器と、前記非反転フレームおよび非反転フレーム中いずれか他方における前記情報の論理値に応じて前記第1のコード変換器が生ずる論理値“1”と“0”とを交互に反復するコードに対し相補的なコードを生ずると共に前記第1のコード変換器が生ずる一定論理値のコードに対し連続した一定論理値のコードを生ずる第2のコード変換器と、前記第1および第2のコード変換器の出力が並列に各ステージへ反復してセットされる前記第1および第2のコード変換器と対応する各個別の第1および第2のシフトレジスタと、該第1および第2のシフトレジスタをシフトさせそのセットされた内容がつぎのセットまでにすべて送出不

ジスタの内容を各個の直列信号として送出させるシフト制御部と、前記各直列信号を入力として該各直列信号を直流へ変換すると共にフェイルセーフ性を有する出力部とからなることを特徴とする二重系リフレッシュ出力装置。

## 発明の詳細な説明

本発明は、サイクリックな時分割情報をフレーム毎に交互かつ反復して反転のうえ伝送する信号を受信し、信号により伝送されて来る情報に応じた出力を送出すると共に、伝送されて来る情報の変化に応ずる受信出力の状況が、周期的にリフレッシュされる二重系リフレッシュ出力装置に関するものである。

15 伝送信号に応じて鉄道信号用のリレーを駆動する場合等には、サイクリックに伝送されて来る情報の変化に応じて受信出力が変化しなければならないと共に、送信側、受信側の機器または伝送路の障害発生等に際し、必ず受信出力が無信号状態となり、リレー等が常に復旧状態となるフェイルセーフ性を要求されており、近來、リフレッシュ伝送方式が提案されている。

すなわち、リフレッシュ伝送方式においては、連続して配列されたタイムスロット中へ割当てられる複数チャネルの各ビットを所定数集合させて

フレームを構成し、このフレームを単位として伝送のうえ、受信側において、各フレームの受信開始時点毎に、保持していた直前の受信情報をリフレッシュし、受信情報の変化に対応した受信出力を得ると共に、伝送系の障害発生に際しては、直前に受信した情報を無用に保持しないものとして

いる。  
しかし、前述の方式においては、リフレッシュが各フレームの受信開始時点毎に行なわれるため、リフレッシュ周期が情報の伝送速度および各フレームのビット数に応じて定められ、リフレッシュ周期を用途にしたがつて自在に設定できないと共に、リフレッシュ周期を定めれば情報の伝送速度および各フレームのビット数が定まり、単位時間当りの伝送情報量を増大できない等の欠点が生ずる。

本発明は、従来のかかる欠点を根本的に解決する目的を有し、サイクリックな時分割情報をフレーム毎に交互かつ反復して反転のうえ、非反転フレームおよび反転フレームとして伝送すると共に、いずれか一方のフレームにより伝送されて来る情報が論理値“1”のときに、これを論理値“1”と“0”とを交互に反復するコードへ変換し、かつ、同様に伝送されて来る情報が論理値“0”のときには、これを連続した一定論理値のコードへ変換する一方、他のフレームにより伝送されて来る情報に応じ、前述の論理値“1”と“0”と交互に反復するコードに対して相補的なコードへ変換すると共に、前述のコードが一定論理値のときは同様に連続した一定論理値のコードへ変換のうえ、これらの各コードを各個別のシフトレジスタへ反復して並列にセットし、これらのセットされた内容がつぎのセットまでにすべて送出されない速度により各シフトレジスタをシフトさせ、これによつて各シフトレジスタから互に相補的な各直列信号を得、これらの各直列信号を、フェイルセーフ性を有する出力部において直流へ変換してから出力とすることにより、リフレッシュ周期を用途に応じて自在に設定できると共に、高度のフェイルセーフ性を有する極めて効果的な、二重系リフレッシュ出力装置を提供するものである。

以下、実施例を示す図によつて本発明の詳細を説明する。

第1図は時分割情報の伝送状況を示す図であり、各フレーム $F_{P1}$ 、 $F_{N1}$ 、 $F_{P2}$ 等は、連続的に配列されたタイムスロット中へ割当てられた各チャネル毎のビット $B_1 \sim B_n$ および、非反転フレームを示す非反転信号 $P$ または反転フレームを示す反転信号 $N$ からなり、各フレーム $F_{P1}$ 、 $F_{N1}$ 、 $F_{P2}$ は、情報を示すビット $B_1 \sim B_n$ の内容がフレーム毎に交互かつ反復して反転するものとなっており、非反転フレーム $F_{P1}$ 、 $F_{P2}$ においては、各ビットが $B_1 \sim B_n$ であるのに対し、反転フレーム $F_{N1}$ においては、各ビットの内容が反転し $\bar{B}_1 \sim \bar{B}_n$ となっている。

第2図は、受信側の構成を示すブロック図であり、第1図に示すサイクリックな時分割情報の信号TDSが、受信制御部RCTおよび直並列変換部SPCへ与えられており、受信制御部RCTが信号TDSから抽出した同期成分に基づき制御パルスを発生し、これに応じて直並列変換部SPCが、信号TDSをフレーム毎に並列信号へ変換のうえ、分配部DISへ与えている。

分配部DISは、受信制御部RCTからの制御パルスにしたがい、非反転フレーム $F_{P1}$ 、 $F_{P2}$ 等と反転フレーム $F_{N1}$ 等とを判別のうえ、各フレームを構成する各ビットをチャネル毎に分配する。

たゞし、各チャネル毎の分配出力は、非反転フレーム $F_{P1}$ 、 $F_{P2}$ 等と対応する分配出力 $D_P$ 、および反転フレーム $F_{N1}$ 等と対応する分配出力 $D_N$ とに分かれており、各分配出力 $D_P$ 、 $D_N$ は第1のコード変換器CCV<sub>1</sub>および第2のコード変換器CCV<sub>2</sub>へ各個に与えられる。

こうにおいて、コード変換器CCV<sub>1</sub>がビット $B_1$ と対応し、コード変換器CCV<sub>2</sub>がビット $\bar{B}_1$ に対応するものとすれば、コード変換器CCV<sub>1</sub>において、ビット $B_1$ により示される情報が論理値“1”のときに、論理値“1”と“0”とを交互に反復する配列のコード、すなわち、“1、0、1、0、……”または“0、1、0、1、……”が発生される一方、同様の情報が“0”のときには、連続した“0”のコード、すなわち、“0、0、0、0、……”が発生される。

また、コード変換器CCV<sub>2</sub>においては、ビット $\bar{B}_1$ により示される情報に応じてコード変換器CCV<sub>1</sub>の生ずるコードに対し相補的なコードが発生される。

すなわち、ビット $\overline{B}_1$ により示される情報が“0”であれば、これと対応するビット $B_1$ は“1”のため、コード変換器CCV<sub>1</sub>の発生するコード“1、0、1、0、……”または“0、1、0、1、……”に対し、“0、1、0、1、……”または“1、0、1、0、……”を発生し、同様の情報が“1”であれば、これと対応するビット $B_1$ は“0”のため、コード変換器CCV<sub>1</sub>の発生するコード“0、0、0、0、……”に対し、“1、1、1、1、……”を発生する。

なお、これらの各コードは並列出力となっており、コードの発生終了に伴ない、各コード変換器CCV<sub>1</sub>、CCV<sub>2</sub>と対応して設けられた各個別の第1および第2のシフトレジスタSR<sub>1</sub>およびSR<sub>2</sub>の各ステージへ、各個かつ並列にセットされ、コードの発生終了毎に、このセットが反復して行なわれる。

一方、シフト制御部SCTが所定周期のシフトパルスが発生し、これによつて各シフトレジスタSR<sub>1</sub>、SR<sub>2</sub>を同時かつ連続的にシフトさせているため、各シフトレジスタSR<sub>1</sub>、SR<sub>2</sub>の終端ステージからは、セットされた内容が各個の直列信号SS<sub>1</sub>、SS<sub>2</sub>として送出され、これがフェイルセーフ性を有する出力部FSDへ与えられ、こゝにおいて各直列信号SS<sub>1</sub>、SS<sub>2</sub>が直流へ変換されたうえ、出力S<sub>0</sub>として送出される。

たゞし、シフトパルスの周期は、各シフトレジスタSR<sub>1</sub>、SR<sub>2</sub>のセットされた内容が、つぎのセットまでにすべて送出されない速度によりシフトの行なわれるものとして定められており、各シフトレジスタSR<sub>1</sub>、SR<sub>2</sub>の内容がブランク状態とはならない様に設定されている。

このため、ビット $B_1$ により示される情報が“1”であると共に、ビット $\overline{B}_1$ により示される情報が“0”の間は、各直列信号SS<sub>1</sub>、SS<sub>2</sub>が“1”と“0”とを反復し、例えば、“1”を高レベル、“0”を低レベルとすると、両信号SS<sub>1</sub>、SS<sub>2</sub>が相補的な変化を示すため、これにより交流信号が生じ、出力部FSDの出力S<sub>0</sub>として直流から得られる反面、ビット $B_1$ により示される情報が“0”、ビット $\overline{B}_1$ により示される情報が“1”となれば、直列信号SS<sub>1</sub>がすべて“0”、直列信号SS<sub>2</sub>がすべて“1”となることにより、単なる直流しか得られず、つぎに述べる出力部FSDの構

成によれば、出力S<sub>0</sub>が消滅する。

第3図は、出力部FSDの構成例を示す回路図であり、トランジスタQ<sub>1</sub>とQ<sub>2</sub>とにより一端接地形直列回路を構成し、これらのベースへ各直列信号SS<sub>1</sub>、SS<sub>2</sub>を各個に入力として与えており、両信号SS<sub>1</sub>、SS<sub>2</sub>が相補的に変化する限り、トランジスタQ<sub>1</sub>とQ<sub>2</sub>とが交互にオン、オフを反復するため、両者の接続点電圧が変化し、この電圧変化がコンデンサC<sub>1</sub>を介してダイオードD<sub>1</sub>、D<sub>2</sub>の検波回路へ与えられ、これによつて検波されたうえ、コンデンサC<sub>2</sub>により平滑化されて直流となり、出力S<sub>0</sub>として送出される。

これに対し、直列信号SS<sub>1</sub>がすべて“0”、直列信号SS<sub>2</sub>がすべて“1”となれば、トランジスタQ<sub>1</sub>がオフ、トランジスタQ<sub>2</sub>がオンとなり、両者の接続点電圧が零となるため、出力S<sub>0</sub>が消滅する。

なお、シフトレジスタSR<sub>1</sub>、SR<sub>2</sub>を含む各部のいずれかにおける障害発生により、出力S<sub>0</sub>が消滅するものとなるため、出力部FSDとしてのフェイルセーフ性が維持される。

したがつて、シフトレジスタSR<sub>1</sub>、SR<sub>2</sub>の内容は、信号TDSの伝送速度に應ずるフレーム周期T<sub>F</sub>に應じてリフレッシュされるが、直列信号SS<sub>1</sub>、SS<sub>2</sub>の送出速度は、シフトレジスタSR<sub>1</sub>、SR<sub>2</sub>のステージ数および、これと対応してコード変換器CCV<sub>1</sub>、CCV<sub>2</sub>が発生するコードのビット数を選定し、かつ、上述の条件を充足する範囲内においてシフトパルスの周期を定めれば、自在に設定できるため、直列信号SS<sub>1</sub>、SS<sub>2</sub>の送出速度に應ずる出力S<sub>0</sub>のリフレッシュ周期が、信号TDSにおける各フレームのビット数および伝送速度に関係なく自在に定められる。

なお、出力部FSDの出力S<sub>0</sub>により、これの消滅に應じて復旧するリレー等のフェイルセーフ性素子を駆動すれば、コード変換器CCV<sub>1</sub>、CCV<sub>2</sub>以降の二重系構成とによつて、全体としてのフェイルセーフ性が確実に得られる。

このほか、ビット $B_1$ の“0”に対し直列信号SS<sub>1</sub>をすべて“1”とし、これと対応して、ビット $\overline{B}_1$ の“1”に対し直列信号SS<sub>2</sub>をすべて“0”とし、非反転フレームF<sub>P1</sub>、F<sub>P2</sub>のビットB<sub>1</sub>～B<sub>n</sub>によつて示される情報が“0”のときに、各直列信号SS<sub>1</sub>、SS<sub>2</sub>を連続した一定論理値としても同

様の結果が得られる。

また、ビット  $B_1 \sim B_n$  と  $\overline{B_1} \sim \overline{B_n}$  とに対するコード変換器  $CCV_1$ ,  $CCV_2$  の関係を反対としてもよく、シフトレジスタ  $SR_1$ ,  $SR_2$  には、初期状態として各ステージへ“1”または“0”をセットするものとしても同様であり、シフトパルスの発生を信号 TDS の伝送状況に同期するものとしてもよく、出力部 FSD の構成上、フェイルセーフ性を有する限り、変成器および検波器等を用いてもよい等、本発明は種々の変形が自在である。

以上の説明により明らかなとおり本発明によれば、簡単かつ集積回路化の容易な構成により、出力のリフレッシュ周期を用途に応じて自在に設定できると共に、二重系構成により高度のフェイル

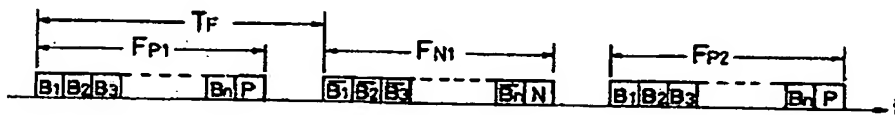
セーフ性を実現するため、高度のフェイルセーフ性を要求される伝送系の受信側に用いて顕著な効果が得られる。

#### 図面の簡単な説明

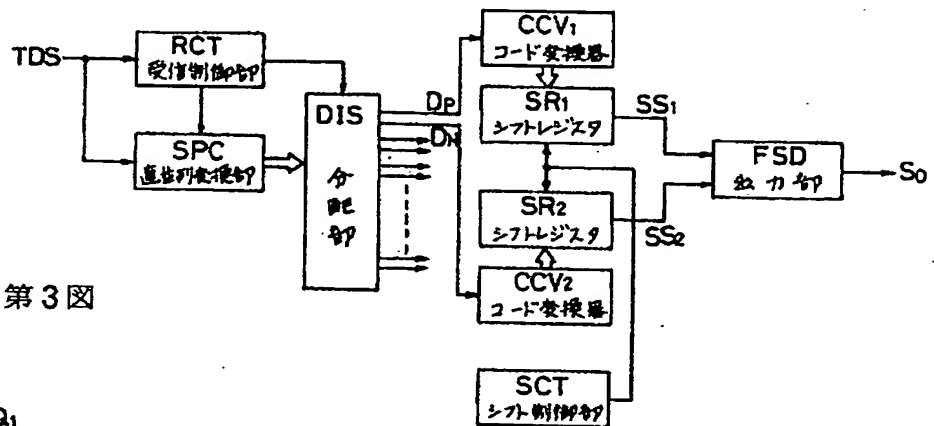
図は本発明の実施例を示し、第1図は時分割情報の伝送状況を示す図、第2図は受信側の構成を示すブロック図、第3図は出力部の回路図である。

$F_{P1}$ ,  $F_{P2}$ ……非反転フレーム、 $F_{N1}$ ……反転フレーム、 $RCT$ ……受信制御部、 $PSC$ ……直並列変換部、 $DIS$ ……分配部、 $CCV_1$ ,  $CCV_2$ ……コード変換器、 $SR_1$ ,  $SR_2$ ……シフトレジスタ、 $SCT$ ……シフト制御部、 $FSD$ ……出力部、 $TDS$ ……信号、 $S_o$ ……出力。

第1図



第2図



第3図

